

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-028366

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01L 21/3065

H05H 1/46

(21)Application number : 11-201348

(71)Applicant : SHIN ETSU CHEM CO LTD

(22)Date of filing :

15.07.1999

(72)Inventor : GOTO KEIICHI

KAWAI MAKOTO

TAMURA KAZUYOSHI

KOBAYASHI TOSHIMI

(54) SILICON ELECTRODE PLATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a silicon electrode plate for a plasma etching device for use in the manufacture of a semiconductor device, with which the quantity of particles generated can be surely reduced.

SOLUTION: A silicon electrode plate, used as an upper electrode in a plasma etching device, is immersed in a solution (secco solution) containing K₂Cr₂O₇(5%): HF (50%)=1:2 for 3 minutes. At this time, this silicon electrode plate for plasma etching has pits having a diameter of 5 μ m or larger at a density of 5/mm² or lower appearing on surface. The specific resistance of the silicon electrode plate material is preferably between 1 Ω cm and 50 Ω cm inclusive. As the material, one from among polyethylene, polypropylene and polyethylene terephthalate is used to prevent contamination from a packaging bag and/or packaging case. In this case, the volume resistivity value of the packaging bag and/or packaging case is preferably in the range of 1×10^4 - 9×10^{18} Ω cm.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

REST AVAILABLE COPY

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The silicon electrode plate whose pit consistency of magnitude with a diameter of 0.5 micrometers or more which appears in a front face it is the silicon electrode plate used for a plasma-etching processor as an up electrode, and is two or less [5 //mm] when immersed in the liquid (SEKO liquid) of $K_2Cr_2O_7(5\%):HF(50\%) = 1:2$ for 3 minutes.

[Claim 2] The silicon electrode plate according to claim 1 with which specific resistance is characterized by 1 or more ohm-cm being 50 or less ohm-cm.

[Claim 3] The silicon electrode plate according to claim 1 or 2 characterized by having the hysteresis packed up as a raw material by the package bag and/or package case which come to choose one sort from polyethylene, polypropylene, and polyethylene terephthalate.

[Claim 4] The silicon electrode plate according to claim 3 characterized by the volume resistivity values of the raw material of a package bag and/or a package case being 1×10^4 - 9×10^{18} ohm-cm.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the silicon electrode plate used for the plasma etching system for semiconductor device manufacture etc.

[0002]

[Description of the Prior Art] A silicon wafer is etched in case a semiconductor integrated circuit is manufactured. The high frequency plasma is generated between the silicon wafer which is the processed material laid as equipment for etching a silicon wafer on a lower electrode which is represented by the plasma dry etching system, and the up electrode which has many breakthroughs parallel to this for circulating reactant gas, and the equipment of the parallel plate mold which etches a silicon wafer is known.

[0003] The engine performance required of an up electrode (only henceforth an electrode plate) also becomes severe much more with high integration in recent years and detailed-izing, it changes to conventional carbon or the electrode made from aluminum in order to reduce generating of particle or contamination, and the electrode plate made from a silicon wafer and the silicon which is allotropy material attracts attention. However, even if it produces an electrode plate with silicon, generating of particle cannot be suppressed if the processing condition of the stoma wall for raw gas rectification is bad. Moreover, although an electron discharge method, ultrasonic machining, diamond drilling, etc. were used for processing of a stoma, when a metal impurity adhered to a stoma wall front face in many cases, etching processing of a silicon wafer was performed, and this metal impurity fell on a silicon wafer, yield lowering of device manufacture was caused.

[0004] setting to 10 micrometers or less the micro crack length generated in the stoma wall for raw gas rectification at the time of processing, for example by JP,8-203879,A as these solution approaches -- moreover, in JP,9-289194,A, the method of not generating particle from an electrode plate at the time of wafer processing is indicated by making smooth surface roughness of the part exhausted with the plasma with 0.001-0.015

micrometers of Ra, and 0.01-0.15 micrometers of Rmax(es). Furthermore, in JP,10-182229,A, improvement in the yield of a device is enabled by stopping the iron quantity adhering to an electrode **** front face. According to the above-mentioned all directions method, as compared with the electrode plate manufacture before it, a particle yield and the amount of metal impurities can be reduced. However, according to research of this invention persons, about generating of particle, also in the electrode plate produced by said approach, individual difference was large, and it turned out that a difference arises on particle generating level.

[0005]

[Problem(s) to be Solved by the Invention] The technical problem of this invention is to offer the silicon electrode plate which solves the above-mentioned trouble, is stabilized and can reduce a particle yield certainly.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned technical problem, when this invention is immersed in the liquid (SEKO liquid) of $K_2Cr_2O_7(5\%):HF(50\%) = 1:2$ for 3 minutes, it uses the silicon electrode plate used for a plasma-etching processor as an up electrode as the silicon electrode plate for plasma etching whose pit consistency of magnitude with a diameter of 0.5 micrometers or more which appears in a front face is two or less [5 //mm]. It is desirable that the specific resistance of a silicon electrode plate raw material is 50 or less ohm-cm more than per ohm-cm. In order to prevent the contamination from a package bag and/or a package case, one sort of polyethylene, polypropylene, and polyethylene terephthalate is used as the raw material. In this case, it is desirable that the volume resistivity values of a package bag and/or a package case are 1×10^4 to 9×10^{18} ohm and cm.

[0007]

[Embodiment of the Invention] When inquired that this invention persons should study the cause which a difference produces on particle generating level, many pits are seen in the front face of an electrode plate with many particle occurrences used in the real process, and knowledge that reverse has few particle occurrences as for the electrode plate with few this pit was acquired. That is, according to these researchers' examination result, the particle yield was not decided by surface roughness of the part exhausted with the micro crack and plasma of a stoma wall for raw gas rectification, but it turned out that there are a pit generated in a real process and correlation. When put in another way, it gets to know that it is more effective in reduction of particle to produce the electrode plate which can suppress generating of a pit rather than improving the surface roughness of the part exhausted with the micro crack and plasma of a stoma wall for raw gas rectification, and came to complete this invention.

[0008] If SEKOETCHINGU (etching with $K_2Cr_2O_7(5\%):HF(50\%) = 1:2$ liquid (SEKO liquid)) used general-purpose in a silicon wafer is performed about a silicon electrode plate for 3 minutes as a result of this invention persons' investigating the condition of this pit in a detail As for the part with a defect or contamination, it turned out that it becomes a pit, and it has been judged that the pit which appears by this etching, and the pit generated in a real process were the things based on the same cause. That is, the silicon electrode plate with few pits generated on an electrode plate front face in a real process which is a particle generating factor also had few pits generated when SEKOETCHINGU is performed, and when it was such a silicon electrode plate, it found out that particle

generating in a real process could be controlled.

[0009] In order to control particle generating in a real process, the pit consistency generated when SEKOETCHINGU is performed needs to be two or less [5 //mm]. If many [so / that a pit consistency exceeds five 2 // mm], it will increase, so that generating of particle is nonpermissible on the occasion of plasma etching. The purity of a raw material is also related to generating of the pit which appears when SEKOETCHINGU. It is desirable for the specific resistance of a raw material to be 50 or less ohm-cm more than per ohm-cm. Although this range is usually used for the silicon wafer, since it belongs to specific resistance, acquisition of an ingredient can perform it easily and cheaply.

[0010] When SEKOETCHINGU, contamination is also related to generating of the appearing pit. The contamination which becomes the generating factor of the appearing pit when SEKOETCHINGU has the adhesion contamination from the outside. Usually, an electrode plate is packed by a package bag or the package case in a clean room, and takes a packing gestalt. The construction material of a package bag and/or a package case was also found by that it is related to the size of contamination. Since it is easy to become the cause by which it is electrified and this causes [of an electrode plate] contamination when the whole principle top electrode plate surface surface and a bag contact and take out in case a package bag is used, it is desirable to reduce a touch area as much as possible by doubling the configuration with an electrode plate respectively more preferably using a package case. However, a package bag and/or a package case must be used.

[0011] As an ingredient for a package bag and/or package cases, if one sort is chosen from polyethylene, polypropylene, and polyethylene terephthalate, contamination will not be imprinted by the electrode plate. Moreover, if the volume resistivity value makes it what is 1×10^4 - 9×10^{18} ohm-cm also among those selected package bags and/or the raw material for package cases, adhesion of the particle by static electricity can be prevented at the time of opening at the time of a package of an electrode plate. In order for a volume resistivity value to make it smaller than 1×10^4 ohm-cm, it is necessary to apply a conductive ingredient etc., and it becomes cost high, or this electric conduction material adheres to a product, and it leads to generating of a pit. Conversely, if 9×10^{18} ohm-cm is exceeded, adhesion of the particle by static electricity will increase at the time of - opening at the time of a package.

[0012]

[Example] An example is shown below. After cutting the silicon ingot of 8 inch phi and forming the gas eye of 0.5mm of diameters by diamond drilling, wrapping processing and polishing processing were carried out for the front face, washing which removes an impurity and a processing damage was performed, and seven silicon electrode plates were produced. After pure-water ultrasonic cleaning and desiccation processing, it packed up in the package case of the product made from polyethylene terephthalate of them four sheets, and considered as examples 1-4, and the three remaining sheets packed up into the package bag (electrification prevention material addition kneading article) which consisted of lamellar bodies of the resin with which aluminum etc. is added were made into the example of a comparison as an antistatic agent as well as the conventional electrode plate. These seven electrode plates were picked out from the package case and the package bag 24 hours after packing, installation and etching of a wafer were

performed to the plasma dry etching system after measuring surface roughness, and the number of particle at that time was investigated. Moreover, after removing from equipment, the electrode plate and it measured also about the surface pit. A measurement result is shown in a table 1. As a result of examples' 1-4 measuring the particle of the wafer in a real process using the electrode plate packed up in the package case made from the polyethylene terephthalate of this invention, the examples 1-3 of a comparison are as a result of the electrode plate packed up into the conventional package bag.

[0013]

[A table 1]

[表 1] 電極板の履歴および性能

	電極表面粗さ Ra (μm)	SEKOETCHING後 ピット数 (個/mm ²)	パーティクル数 (個)	梱包態様	梱包材料	梱包材の体積 固有抵抗値 Ω・cm
実施例 1	0.01	0.5	3	包装ケース	PET	4×10^{17}
実施例 2	0.06	1.0	4	包装ケース	PET	4×10^{17}
実施例 3	0.09	1.0	6	包装ケース	PET	4×10^{17}
実施例 4	0.15	4.5	14	包装ケース	PET	4×10^{17}
比較例 1	0.05	5.5	48	包装袋	帯電防止剤系加湿剤品	5×10^5
比較例 2	0.08	23.0	83	包装袋	帯電防止剤系加湿剤品	5×10^5
比較例 3	0.17	58.5	122	包装袋	帯電防止剤系加湿剤品	5×10^5

注 1 : 「PET」=ポリエチレンテレフタレート

[0014] According to this, the concave pit consistency which appears after SEKOETCHINGU in the examples 1-4 has become two or less [5 //mm], and there is also little particle generating in a real process. In the example of a comparison, even if it is the almost same surface roughness as an example, the concave pit consistency which appears after SEKOETCHINGU becomes two or more [5 //mm], and it turns out that particle generating in a real process is increasing rapidly.

[0015]

[Effect of the Invention] As a result of this invention, by packing an electrode plate by the wrapping which controls the electrode plate which suppressed generating of a pit and contamination, and generating of particle, generating of particle was controlled and the improvement in the yield of semiconductor device manufacture was attained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-28366

(P2001-28366A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 21/3065

H 0 1 L 21/302

C 5 F 0 0 4

H 0 5 H 1/46

H 0 5 H 1/46

M

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平11-201348

(22) 出願日 平成11年7月15日 (1999.7.15)

(71) 出願人 000002060

信越化学工業株式会社

東京都千代田区大手町二丁目6番1号

(72) 発明者 後藤 圭一

群馬県安中市磯部2丁目13番1号 信越化

学工業株式会社精密機能材料研究所内

(72) 発明者 川合 信

群馬県安中市磯部2丁目13番1号 信越化

学工業株式会社精密機能材料研究所内

(74) 代理人 100062823

弁理士 山本 亮一 (外2名)

最終頁に続く

(54) 【発明の名称】 シリコン電極板

(57) 【要約】

【課題】 パーティクル発生量を確実に低減することができる半導体デバイス製造に用いるプラズマエッチング装置用シリコン電極板を提供する。

【解決手段】 プラズマエッチング処理装置に上部電極として用いられるシリコン電極板を、 $K_2Cr_2O_7$ (5%) : HF (50%) = 1 : 2 の液 (セコ液) に3分間浸漬した際、表面に現れる直径0.5 μm 以上の大きさのピット密度が5個/ mm^2 以下であるプラズマエッチング用シリコン電極板とする。シリコン電極板素材の比抵抗が1 $\Omega \cdot cm$ 以上50 $\Omega \cdot cm$ 以下であることが好ましい。包装袋及び/または包装ケースからの汚染を防ぐために、その素材としてポリエチレン、ポリプロピレン、ポリエチレンテレフタレート of 1種を用いる。この場合、包装袋及び/または包装ケースの体積固有抵抗値が $1 \times 10^4 \sim 9 \times 10^{18} \Omega \cdot cm$ であることが好ましい。

【特許請求の範囲】

【請求項1】 プラズマエッチング処理装置に上部電極として用いられるシリコン電極板であって、 $K_2Cr_2O_7$ (5%) : HF (50%) = 1 : 2 の液 (セコ液) に3分間浸漬した際、表面に現れる直径0.5 μm 以上の大きさのビット密度が5個/ mm^2 以下であるシリコン電極板。

【請求項2】 比抵抗が1 $\Omega \cdot cm$ 以上50 $\Omega \cdot cm$ 以下であることを特徴とする請求項1に記載のシリコン電極板。

【請求項3】 素材として、ポリエチレン、ポリプロピレン、ポリエチレンテレフタレートより1種を選択してなる包装袋及び/または包装ケースに梱包された履歴を有することを特徴とする請求項1または請求項2に記載のシリコン電極板。

【請求項4】 包装袋及び/または包装ケースの素材の体積固有抵抗値が $1 \times 10^4 \sim 9 \times 10^{18} \Omega \cdot cm$ であることを特徴とする請求項3に記載のシリコン電極板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体デバイス製造用のプラズマエッチング装置等に用いられるシリコン電極板に関するものである。

【0002】

【従来の技術】半導体集積回路を製造する際に、シリコンウェハをエッチングする。シリコンウェハをエッチングするための装置として、プラズマドライエッチング装置に代表されるような、下部電極上に載置した被処理物であるシリコンウェハと、これに平行な、反応ガスを流通させるための多数の貫通孔を有する上部電極との間に高周波プラズマを発生させて、シリコンウェハをエッチングする平行平板型の装置が知られている。

【0003】近年の高集積化、微細化に伴い、上部電極 (以下、単に電極板という) に要求される性能も一段と厳しくなり、パーティクルやコンタミネーションの発生を低減するべく、従来のカーボンやアルミニウム製の電極にかわり、シリコンウェハと同素材であるシリコンを材料とした電極板が注目を集めている。しかしながら、シリコンで電極板を作製しても、処理ガス整流用の小孔内壁の加工状態が悪いとパーティクルの発生を抑えられない。また小孔の加工には放電加工、超音波加工、ダイヤモンド加工等が用いられるが、小孔内壁表面に金属不純物が付着することが多く、シリコンウェハのエッチング処理を行う際、この金属不純物がシリコンウェハ上に落下する事によってデバイス製造の歩留まり低下を引き起こしていた。

【0004】これらの解決方法としては、例えば特開平8-203879号公報では、加工時に処理ガス整流用の小孔内壁に発生するマイクロクラック長を10 μm 以下とすることにより、また、特開平9-289194号

公報では、プラズマで消耗される部分の表面粗さを、 $Ra 0.001 \sim 0.015 \mu m$ 、 $Rmax 0.01 \sim 0.15 \mu m$ と平滑にすることにより、ウェハ処理時に電極板からパーティクルを発生させない方法が開示されている。更に特開平10-182229号公報では、電極板全表面に付着する鉄量を抑えることにより、デバイスの歩留まり向上を可能としている。上記の各方法によれば、それ以前の電極板製造と比較して、パーティクル発生量、金属不純物量は低減することができる。しかしながら、本発明者らの研究によると、パーティクルの発生については、前記方法で作製した電極板においても個体差が大きく、パーティクル発生レベルに差異が生じることが判った。

【0005】

【発明が解決しようとする課題】本発明の課題は、上記の問題点を解決するものであり、安定してパーティクル発生量を確実に低減することができるシリコン電極板を提供することにある。

【0006】

【課題を解決するための手段】本発明は、上記課題を達成するために、プラズマエッチング処理装置に上部電極として用いられるシリコン電極板を、 $K_2Cr_2O_7$ (5%) : HF (50%) = 1 : 2 の液 (セコ液) に3分間浸漬した際、表面に現れる直径0.5 μm 以上の大きさのビット密度が5個/ mm^2 以下であるプラズマエッチング用シリコン電極板とする。シリコン電極板素材の比抵抗が1 $\Omega \cdot cm$ 以上50 $\Omega \cdot cm$ 以下であることが好ましい。包装袋及び/または包装ケースからの汚染を防ぐために、その素材としてポリエチレン、ポリプロピレン、ポリエチレンテレフタレートの1種を用いる。この場合、包装袋及び/または包装ケースの体積固有抵抗値が $1 \times 10^4 \sim 9 \times 10^{18} \Omega \cdot cm$ であることが好ましい。

【0007】

【発明の実施の形態】本発明者らは、パーティクル発生レベルに差異が生じる原因を究明すべく検討を行ったところ、実プロセスで使用したパーティクル発生数が多い電極板の表面にはビットが多数見られており、逆にこのビットが少ない電極板はパーティクル発生数が少ないとの知見を得た。つまり、本研究者らの検討結果によると、パーティクル発生量は、処理ガス整流用の小孔内壁のマイクロクラックやプラズマで消耗される部分の表面粗さで決まるのではなく、実プロセスにおいて発生するビットと相関があることが判った。換言すると、パーティクルの低減には、処理ガス整流用の小孔内壁のマイクロクラックやプラズマで消耗される部分の表面粗さを改善するよりも、ビットの発生を抑えることができる電極板を作製することが有効であることを知り、本発明を完成するに至った。

【0008】本発明者らが詳細にこのビットの状態を調

べた結果、シリコンウェハにおいて汎用的に用いられるセコエッチング ($K_2Cr_2O_7$ (5%) : HF (50%) = 1 : 2 液 (セコ液) でのエッチング) をシリコン電極板について3分行うと、欠陥や汚染がある部分はビットになることが判り、このエッチングにより現れるビットと実プロセスにおいて発生するビットが同一の原因に基づくものであると判断できた。即ち、パーティクル発生要因である、実プロセスで電極板表面に発生するビットが少ないシリコン電極板は、セコエッチングを行った際に発生するビットも少なく、このようなシリコン電極板であれば、実プロセスでのパーティクル発生を抑制することができることを見出した。

【0009】実プロセスでのパーティクル発生を抑制するためには、セコエッチングを行った際に発生するビット密度は、5個/mm²以下である必要がある。ビット密度が5個/mm²を超えるほど多いと、プラズマエッチングに際してパーティクルの発生が許容できない程多くなる。セコエッチングした際に現れるビットの発生には、素材の純度も関係する。素材の比抵抗が1Ω・cm以上50Ω・cm以下であることが望ましい。この範囲は、通常シリコンウェハに用いているものの比抵抗に属するので、材料の入手が容易かつ安価に行える。

【0010】セコエッチングした際に現れるビットの発生には汚染も関係する。セコエッチングした際に現れるビットの発生要因となる汚染に、外部からの付着汚染がある。通常、電極板はクリーンルーム内で包装袋または包装ケースに包装されて梱包形態をとる。包装袋及び／または包装ケースの材質も汚染の大小に関係することが解った。包装袋を用いる際は、原理上電極板表面全面と袋が接触し、取り出すときに静電気を帯びる原因となり易く、これが電極板の汚染の原因にもなるので、より好ましくは、包装ケースを用い、その形状を各々電極板に合わせることで極力接触面積を減らすのが望ましい。しかし、包装袋及び／または包装ケースを使わないわけにはいかない。

【0011】包装袋及び／または包装ケース用の材料と

して、ポリエチレン、ポリプロピレン、ポリエチレンテレフタレートから1種を選択すれば、汚染が電極板に転写されることはない。また、それらの選ばれた包装袋及び／または包装ケース用素材のうちでも、その体積固有抵抗値が $1 \times 10^4 \sim 9 \times 10^{18} \Omega \cdot \text{cm}$ であるものによれば、電極板の包装時、開封時に静電気によるパーティクルの付着を防ぐことができる。体積固有抵抗値が $1 \times 10^4 \Omega \cdot \text{cm}$ より小さくするには、導電性の材料を塗布する等が必要となり、コスト高となったり、この導電材が製品に付着し、ビットの発生につながる。逆に $9 \times 10^{18} \Omega \cdot \text{cm}$ を超えると、包装時・開封時に静電気によるパーティクルの付着が多くなる。

【0012】

【実施例】以下に実施例を示す。8インチφのシリコンインゴットを切断し、ダイヤドリル加工によって径0.5mmのガス孔を形成した後、表面をラッピング加工、ポリッシング加工をし、不純物および加工ダメージを除去する洗浄を行って、シリコン電極板を7枚作製した。純水超音波洗浄、乾燥処理後その内の4枚をポリエチレンテレフタレート製の包装ケースに梱包して、実施例1～4とし、従来の電極板と同じく帯電防止剤として、アルミニウムなどが添加されている樹脂の層状体で構成された包装袋 (帯電防止材添加混練品) に梱包した残りの3枚を比較例とした。この電極板7枚を梱包から24時間後に包装ケースおよび包装袋から取り出して、表面粗さを測定後、プラズマドライエッチング装置に取り付け、ウェハのエッチングを行い、その時のパーティクル数を調べた。又、装置から取り外した後、電極板をセコエッチングして表面のビットについても測定した。測定結果を表1に示す。実施例1～4は、本発明のポリエチレンテレフタレート製の包装ケースに梱包した電極板を用いて実プロセスでのウェハのパーティクルを測定した結果、比較例1～3は、従来の包装袋に梱包した電極板での結果である。

【0013】

【表1】

【表1】電極板の履歴および性能

	電極表面粗さ Ra (μm)	セコエッチング後 ビット数 (個/mm ²)	パーティクル数 (個)	梱包形態	梱包材料	梱包材の体積 固有抵抗値 Ω・cm
実施例1	0.01	0.5	3	包装ケース	PET	4×10^{17}
実施例2	0.06	1.0	4	包装ケース	PET	4×10^{17}
実施例3	0.09	1.0	6	包装ケース	PET	4×10^{17}
実施例4	0.15	4.5	14	包装ケース	PET	4×10^{17}
比較例1	0.05	5.5	48	包装袋	帯電防止剤添加混練品	5×10^8
比較例2	0.08	23.0	83	包装袋	帯電防止剤添加混練品	5×10^8
比較例3	0.17	58.5	122	包装袋	帯電防止剤添加混練品	5×10^8

注1:「PET」=ポリエチレンテレフタレート

【0014】これによれば、実施例1～4ではセコエッチング後に現れる凹状のビット密度が5個/mm²以下となっており、実プロセスでのパーティクル発生も少ない。比較例では実施例とほぼ同じ表面粗さであっても、

セコエッチング後に現れる凹状のビット密度が5個/mm²以上となり、実プロセスでのパーティクル発生が急激に増加していることが判る。

【0015】

【発明の効果】本発明の結果、ピットの発生を抑えた電極板、および汚染、パーティクルの発生を抑制する包装材料で電極板を包装することにより、パーティクルの発

生を抑制し、半導体デバイス製造の歩留まり向上が可能となった。

フロントページの続き

(72)発明者 田村 和義
群馬県安中市磯部2丁目13番1号 信越化学工業株式会社精密機能材料研究所内

(72)発明者 小林 利美
群馬県安中市磯部2丁目13番1号 信越化学工業株式会社精密機能材料研究所内
Fターム(参考) 5F004 AA14 AA15 AA16 BA04 BB28
BB29 BC08 EA10 EA40 EB08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.